

a)

SEMICONDUCTOR INTEGRATED CIRCUIT AND METHOD FOR ARRANGING TERMINAL FOR OBSERVING POWER SUPPLY VOLTAGE IN SEMICONDUCTOR INTEGRATED CIRCUIT TO BE USED THEREFOR

Patent Number: JP2001059855
Publication date: 2001-03-06
Inventor(s): IWATA TADASHI
Applicant(s): NEC CORP
Requested Patent: [JP2001059855](#)
Application Number: JP19990237693 19990825
Priority Number(s):
IPC Classification: G01R31/28
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a method for arranging terminals for observing a power supply voltage in a semiconductor integrated circuit capable of directly and accurately observing a power supply potential in a semiconductor integrated circuit.

SOLUTION: In this semiconductor integrated circuit 1, a VDD power supply wire 10 and GND power supply wire 11 are provided with a VDD observation terminal 30 and GND observation terminal 31 each connected to the VDD power supply wire 10 and GND power supply wire 11 separately from a VDD power supply terminal 20 and GND power supply terminal 21. By observing the terminals of the VDD observation terminal 30 and GND observation terminal 31, voltages in the VDD power supply wire 10 and GND power supply wire 11 in the semiconductor integrated circuit 1 are observed.

Data supplied from the esp@cenet database - I2

a)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-59855

(P2001-59855A)

(43)公開日 平成13年3月6日(2001.3.6)

(51)Int.Cl.⁷

G 0 1 R 31/28

識別記号

F I

G 0 1 R 31/28

テ-マコ-ト(参考)

U 2 G 0 3 2

審査請求 有 請求項の数8 O L (全4頁)

(21)出願番号 特願平11-237693

(22)出願日 平成11年8月25日(1999.8.25)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 岩田 正

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100088812

弁理士 ▲柳▼川 信

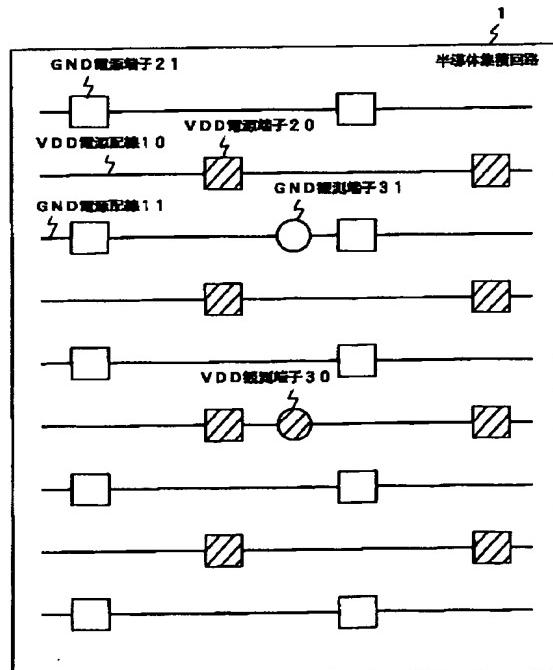
F ターム(参考) 2G032 AA01 AE14

(54)【発明の名称】 半導体集積回路及びそれに用いる半導体集積回路内の電源電圧観測用端子の配置方法

(57)【要約】

【課題】 半導体集積回路内の電源電位を直接かつ正確に観測することが可能な半導体集積回路内の電源電圧観測端子の配置方法を提供する。

【解決手段】 VDD電源配線10及びGND電源配線11にはVDD電源端子20及びGND電源端子21とは別に、半導体集積回路1内のVDD電源配線10及びGND電源配線11にそれぞれ接続されたVDD観測端子30及びGND観測端子31が設けられている。これらVDD観測端子30及びGND観測端子31の端子を観測することで、半導体集積回路1内のVDD電源配線10及びGND電源配線11上の電圧を観測する。



【特許請求の範囲】

【請求項1】 電源供給用の配線層に内部回路への電源供給用の端子が接続された半導体集積回路であって、前記電源供給用の配線層に前記電源供給用の端子とは別に接続されかつ電源電圧観測を行うための電源電圧観測用端子を有することを特徴とする半導体集積回路。

【請求項2】 前記電源電圧観測用端子は、前記電源供給用の配線層に直接接続するよう構成したことを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記電源電圧観測用端子は、前記電源供給用の電源配線層及び接地配線層に直接接続するよう構成したことを特徴とする請求項2記載の半導体集積回路。

【請求項4】 前記電源電圧観測用端子は、CMOS (Complementary Metal Oxide Semiconductor) トランジスタ形成層のNウェル及びPウェルに直接接続するよう構成したことを特徴とする請求項1記載の半導体集積回路。

【請求項5】 電源供給用の配線層に内部回路への電源供給用の端子が接続された半導体集積回路内の電源電圧観測用端子の配置方法であって、前記電源電圧観測用端子を前記電源供給用の配線層に前記電源供給用の端子とは別に接続するようにしたことを特徴とする半導体集積回路内の電源電圧観測用端子の配置方法。

【請求項6】 前記電源電圧観測用端子を前記電源供給用の配線層に直接接続するようにしたことを特徴とする請求項5記載の半導体集積回路内の電源電圧観測用端子の配置方法。

【請求項7】 前記電源電圧観測用端子を前記電源供給用の電源配線層及び接地配線層に直接接続するようにしたことを特徴とする請求項6記載の半導体集積回路内の電源電圧観測用端子の配置方法。

【請求項8】 前記電源電圧観測用端子をCMOS (Complementary Metal Oxide Semiconductor) トランジスタ形成層のNウェル及びPウェルに直接接続するようにしたことを特徴とする請求項5記載の半導体集積回路内の電源電圧観測用端子の配置方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路及びそれに用いる半導体集積回路内の電源電圧観測用端子の配置方法に関し、特に半導体集積回路における電源電圧を観測するための構造に関する。

【0002】

【従来の技術】従来、半導体集積回路においては、電源用端子として、電源供給用端子のみを有しており、半導体集積回路内の電源電圧の観測を行う際に電源供給用端子を観測用端子として代用している。

【0003】あるいは、半導体ケースやカード基板等に

該半導体集積回路を搭載した後で、半導体ケースやカード基板上に観測用端子を設け、その観測用端子を用いて電源電圧の観測を行っている。

【0004】

【発明が解決しようとする課題】上述した従来の半導体集積回路においては、電源供給用端子を観測用端子として代用するか、または半導体ケースやカード基板上に設けた観測用端子を用いて電源電圧の観測を行っているので、消費電力が大きい集積回路の場合、消費電流が大きいために半導体ケースやカード基板等での電圧降下によって、正確に半導体集積回路内の電源電圧を観測することができない。

【0005】そこで、本発明の目的は上記の問題点を解消し、半導体集積回路内の電源電位を直接かつ正確に観測することができる半導体集積回路及びそれに用いる半導体集積回路内の電源電圧観測用端子の配置方法を提供することにある。

【0006】

【課題を解決するための手段】本発明による半導体集積回路は、電源供給用の配線層に内部回路への電源供給用の端子が接続された半導体集積回路であって、前記電源供給用の配線層に前記電源供給用の端子とは別に接続されかつ電源電圧観測を行うための電源電圧観測用端子を備えている。

【0007】本発明による半導体集積回路内の電源電圧観測用端子の配置方法は、電源供給用の配線層に内部回路への電源供給用の端子が接続された半導体集積回路内の電源電圧観測用端子の配置方法であって、前記電源電圧観測用端子を前記電源供給用の配線層に前記電源供給用の端子とは別に接続するようにしている。

【0008】すなわち、本発明は、半導体集積回路内の電源電圧観測用端子の配置方法に関するもので、電源供給用端子とは別に、観測専用の端子を集積回路内に設けたことを特徴としている。

【0009】より具体的に、本発明による半導体集積回路は、フリップチップ形状の半導体集積回路の例で、VDD電源配線層及びGND電源配線層に接続されているVDD電源供給用端子及びGND電源供給用端子とは別に、VDD電源配線層及びGND電源配線層に接続されたVDD電源電圧観測用の端子及びGND電源電圧観測用の端子を有している。

【0010】これらVDD電源電圧観測用の端子及びGND電源電圧観測用の端子を専用に設けることによって、半導体集積回路内の電源電位を直接かつ正確に観測することが可能となる。

【0011】

【発明の実施の形態】次に、本発明の実施例について図面を参照して説明する。図1は本発明の一実施例による半導体集積回路の構成を示す図である。図1においてはフリップチップ形状の半導体集積回路1を示している。

【0012】半導体集積回路1はVDD電源配線(層)10及びGND電源配線(層)11と、VDD電源配線10及びGND電源配線11にそれぞれ接続されたVDD電源供給用のVDD電源端子20及びGND電源供給用のGND電源端子21と、VDD電源配線10及びGND電源配線11にそれぞれ接続されたVDD電源電圧観測用のVDD観測端子30及びGND電源電圧観測用のGND観測端子31とを備えている。

【0013】図1に示すように、VDD電源配線10及びGND電源配線11にはVDD電源端子20及びGND電源端子21とは別に、半導体集積回路1内のVDD電源配線10及びGND電源配線11にそれぞれ接続されたVDD観測端子30及びGND観測端子31が設けられており、VDD観測端子30及びGND観測端子31の端子を観測することによって、半導体集積回路1内のVDD電源配線10及びGND電源配線11上の電圧を観測することができる。

【0014】このように、半導体集積回路1内のVDD電源配線10及びGND電源配線11に直接接続したVDD観測端子30及びGND観測端子31を設けることによって、半導体集積回路1内のVDD電源配線10及びGND電源配線11上の電圧を観測することができる。

【0015】この場合、本実施例では電源電圧の観測時に、半導体集積回路1を搭載する半導体ケース(図示せず)やカード基板(図示せず)等での電圧降下を排除することができるので、VDD電源配線10及びGND電源配線11上の電圧を正確に観測することができる。

【0016】図2は本発明の他の実施例による半導体集積回路の構成を示す断面図である。図2において、本発明の他の実施例による半導体集積回路1もフリップチップ形状となっており、その基本的構成は上記の本発明の一実施例による半導体集積回路1と同様であり、同一構成要素には同一符号を付してある。

【0017】本発明の他の実施例による半導体集積回路1が本発明の一実施例による半導体集積回路1と異なる点は、VDD観測端子30及びGND観測端子31をCMOS(Complementary Metal Oxide Semiconductor)トランジスタ形成層のNウェル40及びPウェル41に直接接続していることにある。

【0018】これによって、トランジスタ領域(Nウェル40及びPウェル41)の電源電圧を、VDD観測端子30及びGND観測端子31によって直接観測することができる。

【0019】この場合、本実施例でも電源電圧の観測時に、半導体集積回路1を搭載する半導体ケース(図示せず)やカード基板(図示せず)等での電圧降下を排除することができるので、VDD電源配線10及びGND電源配線11上の電圧を正確に観測することができる。

【0020】尚、請求項の記載に関連して本発明はさらに次の態様をとりうる。

【0021】(1) 電源供給用の配線層に内部回路への電源供給用の端子が接続されたフリップチップ形状の半導体集積回路であって、前記電源供給用の配線層に前記電源供給用の端子とは別に接続されかつ電源電圧観測を行うための電源電圧観測用端子を有することを特徴とする半導体集積回路。

【0022】(2) 前記電源電圧観測用端子は、前記電源供給用の配線層に直接接続するよう構成したことを特徴とする(1)記載の半導体集積回路。

【0023】(3) 前記電源電圧観測用端子は、前記電源供給用の電源配線層及び接地配線層に直接接続するよう構成したことを特徴とする(2)記載の半導体集積回路。

【0024】(4) 前記電源電圧観測用端子は、CMOS(Complementary Metal Oxide Semiconductor)トランジスタ形成層のNウェル及びPウェルに直接接続するよう構成したことを特徴とする(1)記載の半導体集積回路。

【0025】(5) 電源供給用の配線層に内部回路への電源供給用の端子が接続されたフリップチップ形状の半導体集積回路内の電源電圧観測用端子の配置方法であって、前記電源電圧観測用端子を前記電源供給用の配線層に前記電源供給用の端子とは別に接続するようにしたことを特徴とする半導体集積回路内の電源電圧観測用端子の配置方法。

【0026】(6) 前記電源電圧観測用端子を前記電源供給用の配線層に直接接続するようにしたことを特徴とする(5)記載の半導体集積回路内の電源電圧観測用端子の配置方法。

【0027】(7) 前記電源電圧観測用端子を前記電源供給用の電源配線層及び接地配線層に直接接続するようにしたことを特徴とする(6)記載の半導体集積回路内の電源電圧観測用端子の配置方法。

【0028】(8) 前記電源電圧観測用端子をCMOS(Complementary Metal Oxide Semiconductor)トランジスタ形成層のNウェル及びPウェルに直接接続するようにしたことを特徴とする請求項5記載の半導体集積回路内の電源電圧観測用端子の配置方法。

【0029】

【発明の効果】以上説明したように本発明によれば、電源供給用の配線層に内部回路への電源供給用の端子が接続された半導体集積回路において、電源電圧観測を行うための電源電圧観測用端子を電源供給用の配線層に電源供給用の端子とは別に接続することによって、半導体集積回路内の電源電位を直接かつ正確に観測することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体集積回路の構成を示す図である。

【図2】本発明の他の実施例による半導体集積回路の構成を示す断面図である。

【符号の説明】

1 半導体集積回路

10 VDD電源配線

11 GND電源配線

20 VDD電源端子

21 GND電源端子

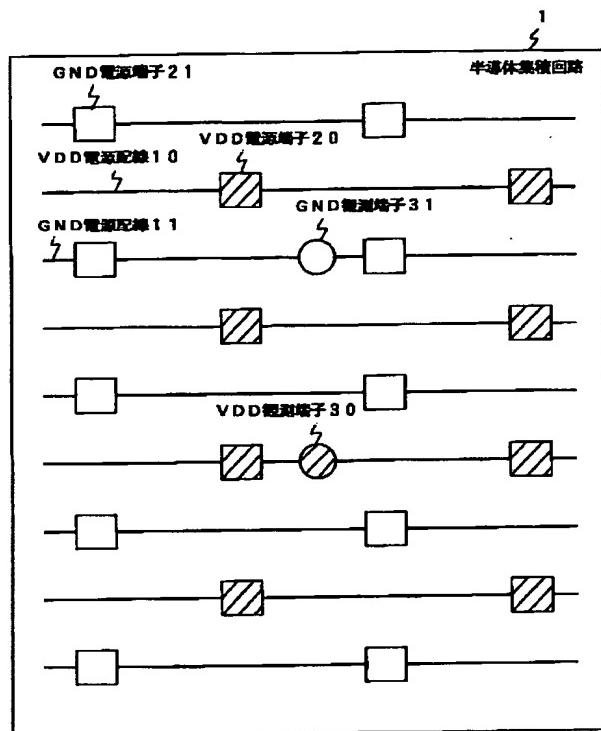
30 VDD観測端子

31 GND観測端子

40 Nウェル

41 Pウェル

【図1】



【図2】

